

МОДЕЛИРОВАНИЕ КМОП-УСТРОЙСТВА ВЫБОРКИ-ХРАНЕНИЯ

Колесников Д.В.

Воронежский государственный университет, физический факультет, Россия, 394006,
Воронеж, Университетская площадь 1, тел. (4732)208-481, mel44@phys.vsu.ru

Verilog-A является языком описания аппаратуры, который используется для описания и моделирования электронных систем. Этот язык позволяет осуществить проектирование, верификацию и реализацию аналоговых, цифровых и смешанных электронных систем на различных уровнях абстракции.

Электронные системы в зависимости от поставленной задачи могут отличаться технологией изготовления, архитектурой устройства, быстродействием, площадью схемы, нагрузочной способностью выходов, рабочим диапазоном температур. В связи с этими требованиями при моделировании с помощью системы автоматизированного проектирования (САПР) могут получаться различные результаты. Совместно используя язык Verilog-A и САПР можно оценить корректность полученных результатов моделирования. Проектировщик интегральной схемы имеет возможность составить функциональное описание на языке Verilog-A и, используя систему моделирования САПР, проверить его соответствие спецификации.

Представлено устройство выборки-хранения (УВХ), которое использовано на входе 12-битного аналого-цифрового преобразователя с конвейерной архитектурой, предназначенного для исполнения в технологии КМОП с проектными нормами 0,18 мкм. УВХ на интервале времени выборки отслеживает входной аналоговый сигнал, а при переключении в режим хранения сохраняет последнее значение выходного напряжения до поступления следующего сигнала выборки.

Проведено сопоставление результатов моделирования УВХ на поведенческом уровне с электронным моделированием в среде САПР. Устройство изучалось под воздействием сигналов различной формы, с частотами выборок в диапазоне от 20 до 80 Мвыб/с. Полученные результаты показали эффективность низкоуровневого моделирования на поведенческом уровне при разработке устройств преобразования информации.